

(Concise explanations in relevancy)

Japanese laid-open patent publication No. 11-45822

In Japanese laid-open patent publication Nos. 11-45822 and 8-97360, it is disclosed that a thin film capacitor has a thin film dielectric film which has a high dielectric constant to obtain a low self-inductance and a large capacity as well as a higher LC-resonant frequency than the normal stacked ceramic capacitor. This thin film capacitor is, however, disadvantageous because of the difficulty of packaging the capacitor onto the board. Also, the process for forming the thin film capacitor is costly process. It is desirable to realize a non-expensive method for forming the thin film capacitor.

THIN-FILM CAPACITOR

Patent Number: JP11045822
Publication date: 1999-02-16
Inventor(s): ATSUNUSHI SHIGEO
Applicant(s):: KYOCERA CORP
Requested Patent: ☐ JP11045822
Application Number: JP19970200485 19970725
Priority Number(s):
IPC Classification: H01G4/33 ; H01G4/38
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a thin-film capacitor having a low inductance structure which can be readily mounted and readily laminated.

SOLUTION: A first capacitance element A having a positive electrode layer 2 on the upper surface of a dielectric layer 1 and a negative electrode layer 3 on the lower surface thereof, and a second capacitance element B having the negative electrode layer 3 on the upper surface of the dielectric layer 1 and the positive electrode layer 2 on the lower surface thereof, are placed in parallel. The positive electrode layers 2 and the negative electrode layers 3 of the first capacitance element A and the second capacitance element B are connected via a connecting terminal electrode 5 to constitute a capacitor element C. A plurality of the capacitor elements C are arranged being kept away from each other. The uppermost positive electrode layer 2, and the uppermost negative electrode layers 3 of the plural capacitor elements C are respectively electrically connected by means of terminal members through respective capacitance take-out members 10, 11.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-45822

(43) 公開日 平成11年(1999) 2月16日

(51) Int.Cl.⁶

H 0 1 G 4/33
4/38

識別記号

F I

H 0 1 G 4/06
4/38

1 0 2
A

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平9-200485

(22) 出願日 平成9年(1997) 7月25日

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田烏羽殿町6番地

(72) 発明者 厚主 成生

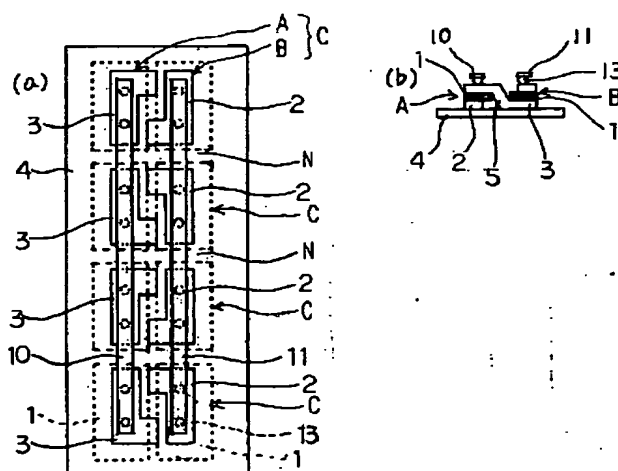
鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内

(54) 【発明の名称】 薄膜コンデンサ

(57) 【要約】

【課題】実装が容易でかつ積層化が容易な低インダクタンス構造を有する薄膜コンデンサを提供する。

【解決手段】誘電体層1の上面に正電極層2を、下面に負電極層3を形成した第1容量素子Aと、誘電体層1の上面に負電極層3を、下面に正電極層2を形成した第2容量素子Bとを並置するとともに、第1容量素子Aと第2容量素子Bの正電極層2および負電極層3同士を、接続端子電極5を介して接続してなるコンデンサ素子Cを複数個離間した状態で配列し、該複数のコンデンサ素子Cの最上層の正電極層2同士および最上層の負電極層3同士を、各々容量取出部材10、11により電気的に接続してなるものである。



【特許請求の範囲】

【請求項 1】誘電体層の上面に第 1 電極層を、下面に第 2 電極層を形成した第 1 容量素子と、誘電体層の上面に第 2 電極層を、下面に第 1 電極層を形成した第 2 容量素子とを並置するとともに、前記第 1 容量素子と前記第 2 容量素子の前記第 1 電極層同士および前記第 2 電極層同士を、接続端子電極を介して接続してなるコンデンサ素子を複数個離間した状態で配列し、かつ前記複数のコンデンサ素子の前記第 1 電極層同士および前記第 2 電極層同士を、各々容量取出部材により電氣的に接続してなることを特徴とする薄膜コンデンサ。

【請求項 2】複数の電極層と複数の誘電体層とを交互に積層してなり、前記電極層が下側から交互に第 1 電極層または第 2 電極層とされた第 1 容量素子と、複数の電極層と複数の誘電体層とを交互に積層してなり、前記電極層が下側から交互に第 2 電極層または第 1 電極層とされた第 2 容量素子とを並置するとともに、前記第 1 容量素子と前記第 2 容量素子の前記第 1 電極層同士および前記第 2 電極層同士を、接続端子電極を介して接続してなるコンデンサ素子を複数個離間した状態で配列し、かつ前記複数のコンデンサ素子の前記第 1 電極層同士および前記第 2 電極層同士を、各々容量取出部材により電氣的に接続してなることを特徴とする薄膜コンデンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜コンデンサに関し、例えば、高速動作する電気回路に配設され、高周波ノイズのバイパス用、もしくは電源電圧の変動防止用に供される、大容量、低インダクタンスの薄膜コンデンサに関するものである。

【0002】

【従来の技術】近年においては、電子機器の小型化、高機能化に伴い、電子機器内に設置される電子部品にも小型化、薄型化、高周波対応などの要求が強くなってきている。

【0003】特に大量の情報を高速に処理する必要があるコンピュータの高速デジタル回路では、パーソナルコンピュータレベルにおいても、CPUチップ内のクロック周波数は 100MHz から数百MHz、チップ間バスのクロック周波数も 30MHz から 75MHz と高速化が顕著である。

【0004】また、LSI の集積度が高まりチップ内の素子数の増大につれ、消費電力を抑えるために電源電圧は低下の傾向にある。これら IC 回路の高速化、高密度化、低電圧化に伴い、コンデンサ等の受動部品も小型大容量化と併せて、高周波もしくは高速パルスに対して優れた特性を示すことが必須になってきている。

【0005】コンデンサを小型大容量にするためには一対の電極に挟持された誘電体を薄くし、薄膜化することが最も有効である。薄膜化は上述した電圧の低下の傾向

にも適合している。

【0006】一方、IC 回路の高速動作に伴う諸問題は各素子の小型化よりも一層深刻な問題である。このうち、コンデンサの役割である高周波ノイズの除去機能において特に重要となるのは、論理回路の同時切り替えが同時に発生したときに生ずる電源電圧の瞬間的な低下を、コンデンサに蓄積されたエネルギーを瞬時に供給することにより低減する機能である。いわゆるデカップリングコンデンサである。

10 【0007】デカップリングコンデンサに要求される性能は、クロック周波数よりも速い負荷部の電流変動に対して、いかにすばやく電流を供給できるかにある。従って、100MHz から 1GHz における周波数領域に対してコンデンサとして確実に機能しなければならない。

【0008】しかし、実際のコンデンサは静電容量成分の他に、抵抗成分、インダクタンス成分を持つ。容量成分のインピーダンスは周波数増加とともに減少し、インダクタンス成分は周波数の増加とともに増大する。このため、動作周波数が高くなるにつれ、素子の持つインダクタンスが供給すべき過渡電流を制限し、ロジック回路側の電源電圧の瞬時低下、または新たな電圧ノイズを発生させる。結果として、ロジック回路上のエラーを引き起こす。

【0009】特に最近の LSI は総素子数の増大による消費電力増大を抑えるために電源電圧は低下しており、電源電圧の許容変動幅も小さくなっている。従って、高速動作時の電圧変動幅を最小に抑えるため、デカップリングコンデンサ素子自身の持つインダクタンスを減少させることが非常に重要である。

30 【0010】インダクタンスを減少させる方法は 3 つある。第 1 は電流経路の長さを最小にする方法、第 2 は電流経路をループ構造としループ断面積を最小にする方法、第 3 は電流経路を n 個に分配して実効的なインダクタンスを $1/n$ にする方法である。

【0011】第 1 の方法は、単位面積あたりの容量を増加させて小型化を図ればよく、コンデンサ素子を薄膜化することにより達成できる。大容量で高周波特性の良好なコンデンサを得る目的で、特開昭 60-94716 号公報には誘電体厚さを $1\mu\text{m}$ 以下に薄膜化したものが開示されている。

【0012】第 2 の方法は、一本の電流経路が形成する磁場を、近接する別の電流経路が形成する磁場により相殺低減する効果であるから、コンデンサを形成する一対の電極板、または電極層に流れる電流の向きをできるだけ同一方向にしないようにすればよい。

【0013】第 3 の方法では、分割したコンデンサを並列接続することによって低インダクタンス化を図れる。このようなコンデンサとして、特開平 4-211191 号公報に薄膜誘電体層を利用したものが開示されている。

【0014】

【発明が解決しようとする課題】しかしながら、所望の場所に実装できるデカップリングコンデンサを考えた場合、ハンドリング可能な寸法として0.5mm×0.5mm程度以上が必要であり、第1の薄膜、小型化の方法のみでインダクタンスを低減するには限界があった。

【0015】また、第2の方法では正負の端子電極を同一端面か、直交方向にする必要があり、実装上不利となる。

【0016】第3の分割並列接続の方法では、例えば、通常の積層型コンデンサも並列接続であるが、電流の向きが同一方向であるため、各電極電流が形成する磁場が重畳される。つまり相互インダクタンスが大きくなるため、実効的な全インダクタンスを十分に低減することはできなかった。従って、第2の手段を併せて採用する必要があったが、上述したとおり、端子電極の問題により実装上の問題があった。

【0017】本発明は、実装が容易でかつ積層化が容易な低インダクタンス構造を有する分割並列接続型の薄膜コンデンサを提供することを目的とする。

【0018】

【課題を解決するための手段】本発明の薄膜コンデンサは、誘電体層の上面に第1電極層を、下面に第2電極層を形成した第1容量素子と、誘電体層の上面に第2電極層を、下面に第1電極層を形成した第2容量素子とを並置するとともに、前記第1容量素子と前記第2容量素子の前記第1電極層同士および前記第2電極層同士を、接続端子電極を介して接続してなるコンデンサ素子を複数個離間した状態で配列し、かつ前記複数のコンデンサ素子の前記第1電極層同士および前記第2電極層同士を、各々容量取出部材により電気的に接続してなるものである。

【0019】また、複数の電極層と複数の誘電体層とを交互に積層してなり、前記電極層が下側から交互に第1電極層または第2電極層とされた第1容量素子と、複数の電極層と複数の誘電体層とを交互に積層してなり、前記電極層が下側から交互に第2電極層または第1電極層とされた第2容量素子とを並置するとともに、前記第1容量素子と前記第2容量素子の前記第1電極層同士および前記第2電極層同士を、接続端子電極を介して接続してなるコンデンサ素子を複数個離間した状態で配列し、かつ前記複数のコンデンサ素子の前記第1電極層同士および前記第2電極層同士を、各々容量取出部材により電気的に接続してなるものである。

【0020】

【作用】本発明の薄膜コンデンサでは、第1に、一对の容量素子を所定間隔を置いて並置しているため、一对の容量素子には、同一平面内に第1電極層（例えば正電極層）および第2電極層（例えば負電極層）が形成されることになり、これらの正電極層および負電極層の間隔を

接近させて形成することができるので、電流経路が短くなり、インダクタンスを小さくすることができる。

【0021】第2に、個々の容量素子の正電極層と負電極層を流れる電流の方向が逆方向となり、発生するインダクタンスが打ち消しあって小さくすることができる。

【0022】第3に、一对の容量素子からなるコンデンサ素子を複数個並列接続することにより、電流経路がn個に分配され、実効的なインダクタンスを1/n倍とすることができる。

10 【0023】第4に、一对の容量素子の各電極層はその対向面に形成されている接続端子電極により接続することができるので、積層化が容易となる。また、外部との接点に用いる容量取出部材を、例えば最上層の電極層上に形成することができるので実装が容易となる。

【0024】

【発明の実施の形態】本発明の単板型の薄膜コンデンサは、誘電体層の上下面に正電極層および負電極層を形成してなる一对の容量素子を所定間隔を置いて対向配置するとともに、一对の容量素子の対向する位置に形成された電極層が異なる極性の電極層とされており、さらに一对の容量素子の正電極層および負電極層に、それぞれ対向する容量素子に向けて突出する接続端子電極が形成され、一对の容量素子において極性が同じ電極層の接続端子電極同士が接続されてコンデンサ素子が作製され、このような複数のコンデンサ素子を離間した状態で配置し、該複数のコンデンサ素子の最上層の第1電極層同士および最上層の第2電極層同士を、容量取出部材により電気的に接続し、コンデンサ素子を並列接続してなるものである。

30 【0025】また、本発明の積層型の薄膜コンデンサは、複数の電極層と複数の誘電体層とを交互に積層してなる一对の容量素子を所定間隔を置いて対向配置するとともに、電極層が積層方向に交互に正電極層または負電極層とされ、かつ一对の容量素子の対向する位置に形成された電極層が異なる極性の電極層とされており、さらに一对の容量素子の正電極層および負電極層に、それぞれ対向する容量素子に向けて突出する接続端子電極が形成され、一对の容量素子において極性が同じ電極層の接続端子電極同士を接続してコンデンサ素子が作製され、
40 このような複数のコンデンサ素子を離間した状態で配置し、該複数のコンデンサ素子の最上層の第1電極層同士および最上層の第2電極層同士を、容量取出部材により電気的に接続し、コンデンサ素子を並列接続してなるものである。

【0026】図1は本発明の単板型タイプの薄膜コンデンサを示すもので、図2はその製法を説明するための図であり、図3はコンデンサ素子を示す分解斜視図である。本発明の薄膜コンデンサは、図1に示すように、一对の容量素子A、Bからなるコンデンサ素子Cを4個一列に離間した状態で配列して形成されている。

5

【0027】 一对の容量素子A、Bからなるコンデンサ素子Cは、図3乃至図5に示すように、誘電体層1の上下面に正電極層2（第1電極層）および負電極層3（第2電極層）を形成してなる一对の容量素子A、Bが対向して並置されている。一对の容量素子A、Bの対向する位置に形成された電極層は異なる極性の電極層とされている。容量素子A、Bは、基板4の上面に形成されている。

【0028】 即ち、容量素子Aは、誘電体層1の下面に正電極層2が、上面に負電極層3が形成されており、容量素子Bは、誘電体層1の下面に負電極層3が、上面に正電極層2が形成されている。そして、容量素子A、Bが所定間隔を置いて並置されており、容量素子Aの正電極層2と同一平面には容量素子Bの負電極層3が、容量素子Aの負電極層3と同一平面には容量素子Bの正電極層2が形成されることになる。

【0029】 正電極層2および負電極層3は、図6

(a)に示すように、長形状とされ、誘電体層1は、図6(b)に示すように、誘電体層1の下面に形成された正電極層2または負電極層3を被覆するような大きさの長形状とされている。誘電体層1同士は、所定間隔を置いて離間されている。誘電体層1の上面に形成された正電極層2または負電極層3は、図6(c)に示すように、誘電体層1の下面に形成された正電極層2または負電極層3と同一形状、同一寸法とされている。

【0030】 誘電体層1の厚みは、0.1~1 μ m、大きさは、縦1.2mm、横1.2mmの大きさとされ、電極層2、3の厚みは、0.1~1 μ m、大きさは、縦1.0mm、横0.3mmの大きさとされている。

【0031】 そして、一对の容量素子A、Bの正電極層2および負電極層3には、それぞれ対向する容量素子A、Bに向けて突出する接続端子電極5が形成され、極性が同じ電極層2、3の接続端子電極5同士が接続されている。

【0032】 正電極層2同士が接続された正電極接続部7と、負電極層3同士が接続された負電極接続部8とは、図4に示したように、所定間隔を置いて離間され、これにより絶縁されている。この正電極接続部7と負電極接続部8との間Lに、誘電体層1と同一材料を充填しても良い。この場合には、一对の容量素子A、Bの誘電体層1が連結され、平面的に見るとH形状とされる。正電極層2および負電極層3の間であって、正電極接続部7と負電極接続部8との間に該当する部分、つまり図5におけるMの部分にも、誘電体層1と同一材料を充填しても良い。尚、図5においては、負電極接続部8については説明上省略した。

【0033】 そして、本発明の薄膜コンデンサでは、一对の容量素子A、Bからなるコンデンサ素子Cが、図1(a)に示したように、4個一列に所定間隔を置いて配列され、これによりコンデンサ素子C同士が絶縁されて

6

いる。4個のコンデンサ素子Cの間Nに誘電体層1と同一材料を充填しても良い。この場合には、コンデンサ素子C同士の誘電体層1は連結される。

【0034】 また、4個のコンデンサ素子Cの最上層の正電極層2同士および最上層の負電極層3同士が、図1に示すように、容量取出部材10、11により電氣的に接続されている。容量取出部材10、11は導電性材料からなる薄板状とされており、この容量取出部材10、11は接合部13を介して接続されている。尚、図1においては、理解が容易になるように、誘電体層1を破線で描き、誘電体層1の下面の電極層2、3は省略した。

【0035】 接合部13は、形状的には、バンプ状、箔状、板状、線状、ペースト状等があり、特に限定されるものではなく、複数の形状を組み合わせても良い。また、材質は、半田、Au、Cu、Pt、Pd、Ag、Al、Ni、導電性樹脂等があり、導電性のものであれば良く、複数の材料を組み合わせても良い。容量取出部材10、11の材質も接合部13と同様である。容量取出部材10、11を薄板状としたが、例えば、リード線等の線材により最上層の正電極層2同士および最上層の負電極層3同士を接続しても良い。

【0036】 本発明の薄膜コンデンサは、基板4上に、正電極層2および負電極層3を、図2(a)に示すように、形成し、この正電極層2および負電極層3の上面に誘電体層1を、図2(b)に示すように形成し、この誘電体層1の上面に正電極層2および負電極層3を、図2(c)に示すように形成し、さらに、上記したように、例えば、バンプ状の接合部13を形成し、この上面に、図2(d)に示すように容量取出部材10、11を形成することにより製造される。

【0037】 本発明で用いられる基板4としては、アルミナ、サファイア、MgO単結晶、SrTiO₃単結晶、チタン被覆シリコン、または銅(Cu)、ニッケル(Ni)、チタン(Ti)、スズ(Sn)、ステンレススティール(SUS)薄膜もしくは薄板が望ましい。特に、薄膜との反応性が小さく、安価で強度が大きく、かつ誘電体膜または電極膜の結晶性という点からアルミナ、サファイアが望ましく、高周波領域における低抵抗化の点で銅(Cu)薄板または銅(Cu)薄膜が望ましい。

【0038】 本発明の電極層は、白金(Pt)、金(Au)、パラジウム(Pd)、銅(Cu)薄膜等があり、これらのうちでも白金(Pt)と金(Au)薄膜や低抵抗の銅(Cu)薄膜が最適である。Pt、Auは誘電体との反応性が小さく、また酸化されにくい為、誘電体との界面に低誘電率相が形成されにくい為である。

【0039】 さらに、誘電体層は、高周波領域において高誘電率を有するものであれば良いが、その膜厚は1 μ m以下が望ましい。また、誘電体層は、例えば、金属元素としてPb、Mg、Nbを含むペロブスカイト型複合

酸化物結晶からなる誘電体薄膜であって、測定周波数300MHz（室温）での比誘電率が1000以上の誘電体薄膜が望ましい。尚、本発明においてはPb、Mg、Nbを含むペロブスカイト型複合酸化物結晶からなる誘電体薄膜以外の、例えば、Ba、Tiを含むペロブスカイト型複合酸化物結晶、PZT、PLZT、SrTiO₃、Ta₂O₅等でも良く、特に限定されるものではない。このような誘電体層は、PVD法、CVD法、ゾルゲル法等の公知の方法により作製される。

【0040】以上のように構成された薄膜コンデンサでは、第1に一对の容量素子A、Bが対向して形成されているため、一对の容量素子A、Bには、同一平面内には正電極層2および負電極層3が所定間隔を置いて形成されることになり、これらの正電極層2および負電極層3の間隔を接近させて形成することができるので、電流経路が短くなり、インダクタンスを小さくすることができる。

【0041】第2に、個々の容量素子における正電極層2および負電極層3を流れる電流の方向が逆方向となるため、各正電極層2および負電極層3でインダクタンスが打ち消しあい、発生するインダクタンスを小さくすることができる。

【0042】第3に、一对の容量素子からなるコンデンサ素子Cを4個並列接続することにより、電流経路が4個に分配され、実効的なインダクタンスを1/4倍とすることができる。

【0043】第4に、コンデンサ素子C同士の接点および外部との接点に用いる容量取出部材10、11を、最上層の電極層2、3上に形成することができるので、実装が容易となる。

【0044】本発明の積層タイプの薄膜コンデンサを図7により説明する。この図7によれば、図3に示した単板型タイプの一对の容量素子の構造に対して、さらに誘電体層と電極層を積層したものである。

【0045】即ち、電極層2、3と誘電体層1を交互に積層してなる一对の容量素子A、Bを並置し、これらの容量素子A、Bでは、電極層2、3が積層方向に交互に正電極層2および負電極層3とされている。一对の容量素子A、Bの対向する位置に形成された電極層2、3は異なる極性の電極層2、3とされており、一对の容量素子A、Bの正電極層2および負電極層3には、それぞれ対向する容量素子A、Bに向けて突出する接続端子電極5が形成されている。極性が同じ電極層2、3の接続端子電極5同士は電氣的に接続され、これによりコンデンサ素子Cが形成されている。

【0046】この積層型のコンデンサ素子Cが、単板型と同じように、図1に示されるような配列で配置され、最上層の電極層2、3に形成される容量取出部材10、11を介して、同じ極性を持つ電極層同士が電氣的に接続される。

【0047】本発明の薄膜コンデンサは、一般には、上記のように、基板4表面に形成されて用いられるが、基板内に内蔵して用いることもできる。基板内に内蔵する場合には、容量取出部材は、例えば、基板内に形成されたスルーホール導体とされ、これにより容量が取り出される。

【0048】また、電極層2、3の形状を長方形とした例について説明したが、正方形、円形状などのような形状であっても良い。

10 【0049】また、4個のコンデンサ素子Cを1列に配列した例について説明したが、2個以上を配列すれば良く、また、その配列の仕方、即ち、行数、列数を特に問うものではない。

【0050】

【実施例】

実施例1

電極層及び誘電体層の形成は全て高周波マグネトロンスパッタ法を用いた。スパッタ用ガスとしてプロセスチャンパー内にArガスを導入し、真空排気により圧力は

20 6.7Paに維持した。

【0051】プロセスチャンパー内には基板ホルダーと3個のターゲットホルダーが設置され、3種類のターゲット材料からのスパッタが可能である。スパッタ時には成膜する材料種のターゲット位置に基板ホルダーを移動させ、基板ターゲット間距離は60mmに固定した。

【0052】基板ホルダーとターゲット間には外部の高周波電源により13.56MHzの高周波電圧を印可し、ターゲット背面に設置された永久磁石により形成されたマグネロン磁界により、ターゲット近傍に高密度30 のプラズマを生成させてターゲット表面のスパッタを行った。

【0053】高周波電圧の印可は3個のターゲットに独立に可能であり、本実施例では基板に最近接のターゲットにのみ印可してプラズマを生成した。基板ホルダーはヒータによる加熱機構を有しており、スパッタ成膜中の基板温度は一定となるよう制御した。

【0054】また、基板ホルダーに設置された基板のターゲット側には厚さ0.05mmの金属マスクが3種類設置されており、成膜パターンに応じて必要なマスクが40 基板成膜面にセットできる構造とした。

【0055】先ず、厚さ0.25mmのアルミナ焼結体基板上に第1のマスクパターンで白金ターゲットのスパッタにより、図2(a)に示すような4行×1列の接続端子電極を有する一对の電極層を形成し、続いてターゲットにPb(Mg_{1/3}Nb_{2/3})O₃焼結体を用い、第2のマスクパターンをセットし、基板温度535℃、高周波電力200Wの条件で、図2(b)に示すような一对の誘電体層を形成した。次に第3のマスクパターンをセットし、白金ターゲットのスパッタにより図2(c)50 に示すような4行×1列の接続端子電極を有する一对の

電極層を形成した。電極層の総面積は 2.4 mm^2 とした。

【0056】作製した4個の薄膜コンデンサを半田パンプを介して、線幅 0.3 mm の2本のAu線を 0.6 mm 間隔で配した導体パターンに接続し、電気的特性を評価した。使用した半田パンプは直径 0.2 mm で、各電極層に2個ずつ形成した。この場合の容量取出部材はAu線となる。

【0057】作製した積層型薄膜コンデンサの 1 MHz から 1.8 GHz でのインピーダンス特性を、インピーダンスアナライザー（ヒューレットパッカード社製HP4291A）を用いて測定した結果、容量成分は 51.2 nF 、インダクタンス成分 50 pH の値を得た。また上記測定後、薄膜コンデンサの断面をSEM観察したところ、各誘電体層の厚さは $0.3 \mu\text{m}$ であった。

【0058】尚、比較例として、図8に示すような、従来の一般的な薄膜コンデンサの構造とする以外、例えば電極層の総面積（ $2 \text{ mm} \times 1.2 \text{ mm}$ ）等の条件を上記と同様にして作製し、容量成分とインダクタンス成分を測定したところ、容量成分は 51.0 nF 、インダクタンス成分 420 pH の値を得た。尚、図8において、従来の薄膜コンデンサは、基板20の上面に正電極層21、誘電体層22、負電極層23を順次積層して構成され、正電極層21、負電極層23には反対側に容量取出部24が形成されている。

【0059】実施例2

実施例1と同じ方法を用いて、2個のコンデンサ素子Cを2行×1列の配列にして作製し、実施例1と同様の方法で、評価したところ容量成分は 25.4 nF 、インダクタンス成分は 95 pH の値を得た。

【0060】実施例3

実施例1と同じ方法を用いて、4個のコンデンサ素子Cを2行×2列の配列にして作製し、実施例1と同様の方法で、評価したところ容量成分は 51.2 nF 、インダクタンス成分は 50 pH の値を得た。2行×2列配列のコンデンサ素子は、半田パンプを介して線幅 0.3 mm の2本のAu線を 0.6 mm 間隔で配したレーブ状の導体パターンに接続し、評価した。

【0061】実施例4

実施例1～3と同じ方法を用いて測定治具と薄膜コンデンサとを、導電性接着剤およびAuパンプを介して接続したが、半田パンプによる接続と比べて、得られた容量成分、インダクタンス成分に差は見られなかった。

【0062】実施例5

実施例1～3と同じ方法を用いて測定治具と薄膜コンデンサとを、直径 0.1 mm のAuワイヤボンディングを介して接続したが、半田パンプによる接続と比べて、得られた容量成分、インダクタンス成分に差は見られなかった。

【0063】実施例6

実施例1と全く同様にして誘電体10層の積層薄膜コンデンサを作製し、実施例1と同様の方法で評価したところ、容量成分は 508.2 nF 、インダクタンス成分 50 pH の値を得た。また上記測定後、積層型薄膜コンデンサの断面SEM観察したところ、各誘電体層の厚さは $0.3 \mu\text{m}$ であった。

【0064】実施例7

基板材、電極材、電極形成方法、形状、及び寸法は実施例1と全く同様にして、誘電体膜のみをゾルゲル法により形成した。ゾルゲル法による膜の作製手順は以下のとおりとした。

【0065】酢酸MgとNbエトキシドを1:2のモル比で秤量し、2-メトキシエタノール中で還流操作（ 124°C で24時間）を行い、MgNb複合アルコキシド溶液（ $\text{Mg} = 4.95 \text{ mmol}$ 、 $\text{Nb} = 10.05 \text{ mmol}$ 、2-メトキシエタノール 150 mmol ）を合成した。次に酢酸鉛（無水物） 15 mmol と 150 mmol の2-メトキシエタノールを混合し、 120°C での蒸留操作により、Pb前駆体溶液を合成した。

【0066】MgNb前駆体溶液とPb前駆体溶液をモル比Pb: (Mg+Nb) = 1:1になるよう混合し、室温で十分攪拌し、Pb ($\text{Mg}_{1/3} \text{Nb}_{2/3}$) O_3 (PMN) 前駆体溶液を合成した。

【0067】この溶液の濃度を2-メトキシエタノールで約3倍に希釈し、塗布溶液とした。次に電極層上に、前記塗布溶液をスピンコーターで塗布し、乾燥させた後、 300°C で熱処理を1分間行い、ゲル膜を作製した。塗布溶液の塗布-熱処理の操作を繰り返した後、 830°C で1分間（大気中）の焼成を行い、Pb ($\text{Mg}_{1/3} \text{Nb}_{2/3}$) O_3 薄膜を得た。

【0068】得られた上記誘電体薄膜の上にレジストを塗布しフォトリソグラフィ工程によって露光、現像し、これをマスクとするウェットエッチングにより、実施例1と同様のパターン形状に誘電体膜のパターニングを行い、実施例1と同様の薄膜コンデンサを作製した。

【0069】作製した薄膜コンデンサの 1 MHz から 1.8 GHz でのインピーダンス特性を、インピーダンスアナライザー（ヒューレットパッカード社製HP4291A）を用いて測定した。その結果、容量成分は 201.0 nF 、インダクタンス成分 40 pH の値を得た。また上記測定後、積層薄膜コンデンサの断面SEM観察したところ、各誘電体層の厚さは $0.5 \mu\text{m}$ であった。

【0070】

【発明の効果】以上詳述した様に、本発明の薄膜コンデンサでは、一対の容量素子において、同一平面内に第1電極層（正電極層）と第2電極層（負電極層）を形成しているため、これらの正電極層と負電極層の間隔を接近させて形成することができ、電流経路が短くなり、インダクタンスを小さくすることができる。また、コンデンサ素子を複数個並列に接続することにより、実効的なイ

11

ンダクタンスを $1/n$ に低減することができる。さらに、各電極層は接続端子電極において接続することができるので、積層化が容易となる。さらに、外部との接点に用いる容量取出部材を、最上層の電極層上に形成することができるので、実装が容易となる。従って、本発明によれば、積層化および実装が容易な、低インダクタンスの薄膜コンデンサを提供することができる。

【図面の簡単な説明】

【図 1】 (a) は本発明の薄膜コンデンサを示す平面図であり、(b) は (a) の側面図である。

【図 2】 本発明の薄膜コンデンサの製法を説明するための図である。

【図 3】 本発明の薄膜コンデンサのコンデンサ素子を示す分解斜視図である。

【図 4】 本発明の薄膜コンデンサのコンデンサ素子の平面図である。

【図 5】 図 4 の正電極接続部近傍の側面図である。

12

【図 6】 図 3 の電極層と誘電体層を示す平面図である。

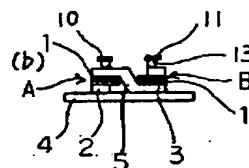
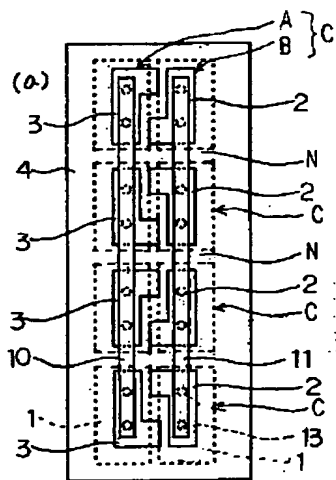
【図 7】 積層タイプの薄膜コンデンサのコンデンサ素子を示す分解斜視図である。

【図 8】 従来の薄膜コンデンサを示す分解斜視図である。

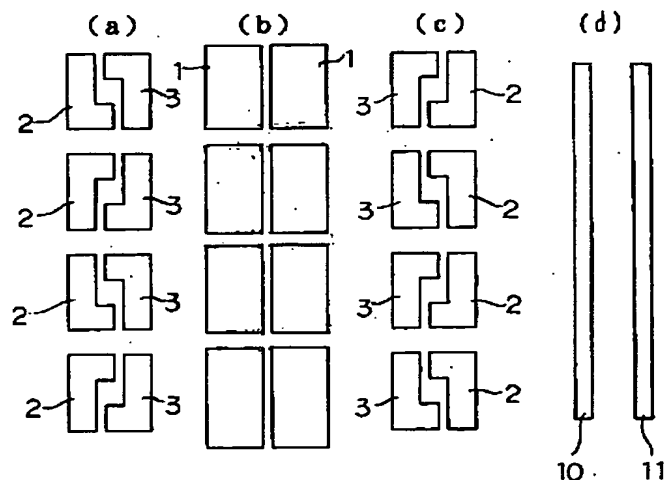
【符号の説明】

- 1・・・誘電体層
- 2・・・正電極層（第 1 電極層）
- 3・・・負電極層（第 2 電極層）
- 10 4・・・基板
- 5・・・接続端子電極
- A、B・・・容量素子
- C・・・コンデンサ素子
- 7・・・正電極接続部
- 8・・・負電極接続部
- 10、11・・・容量取出部材
- 13・・・接合部

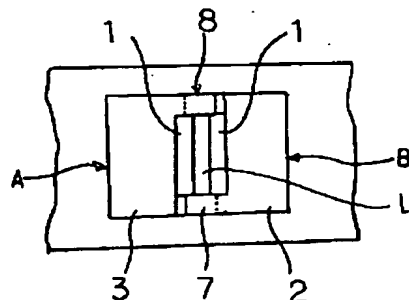
【図 1】



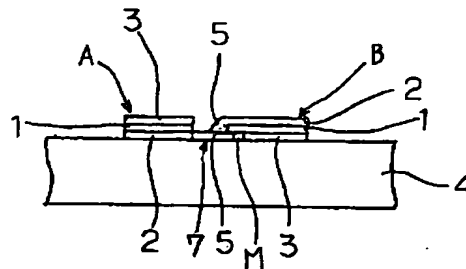
【図 2】



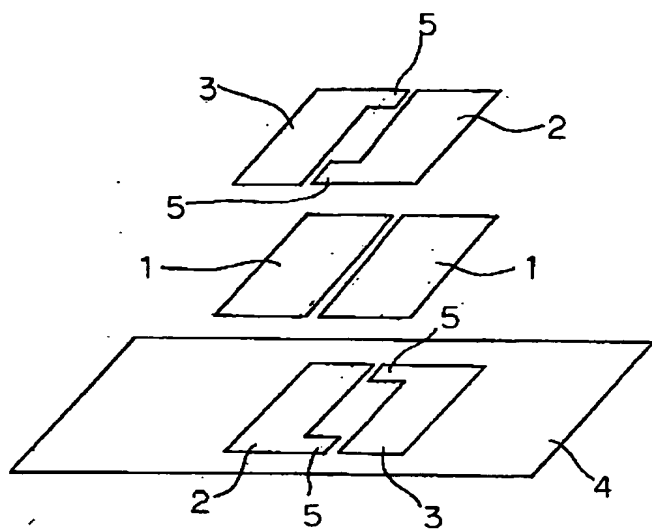
【図 4】



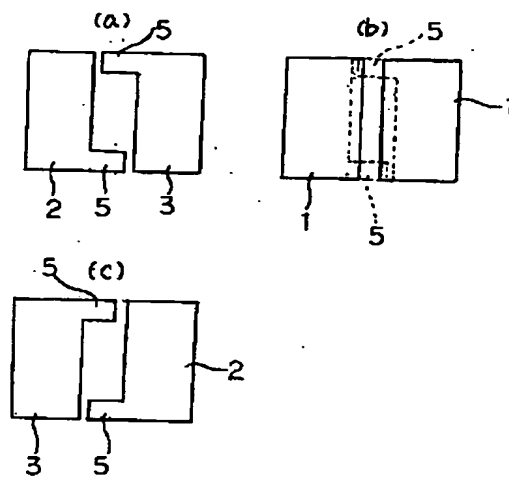
【図 5】



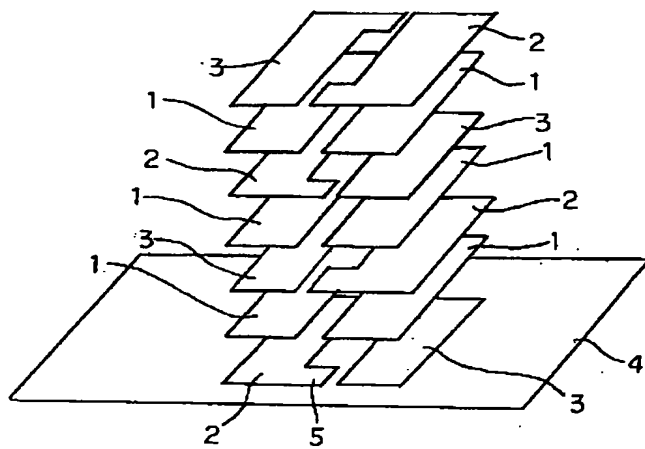
【図 3】



【図 6】



【図 7】



【図 8】

